

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Akira Yamaguchi

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: September 26, 2003

Examiner: Not yet assigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING A PLURALITY
OF THRESHOLD VOLTAGES

EXPRESS MAIL NUMBER: EV 301143600 US

DATE OF DEPOSIT: September 26, 2003

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NO.

MONTH/DAY/YEAR

Japan

2002-281203

September 26, 2002

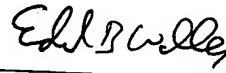
A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: September 26, 2003

By



Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 6 日
Date of Application:

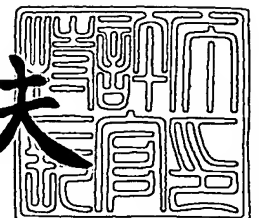
出 願 番 号 特 願 2 0 0 2 - 2 8 1 2 0 3
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 8 1 2 0 3]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 7 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000202433

【提出日】 平成14年 9月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/00

【発明の名称】 半導体集積回路

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 山口 明

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体集積回路
【特許請求の範囲】

【請求項 1】 複数の第 1 導電型の第 1 のトランジスタ及び複数の第 2 導電型の第 2 のトランジスタにより構成され、入力信号に応じて制御される論理回路部と、

前記論理回路部に電源を供給する第 1 導電型の第 3 のトランジスタと、

前記論理回路部の出力端に接続され、前記論理回路部が非動作時に前記出力端のレベルを設定する第 2 導電型の第 4 のトランジスタとを具備し、

前記論理回路部を構成する第 1、第 2 のトランジスタと、前記第 3 のトランジスタとを異なる電圧で制御することを特徴とする半導体集積回路。

【請求項 2】 複数の第 1 導電型の第 1 のトランジスタ及び複数の第 2 導電型の第 2 のトランジスタにより構成され、入力信号に応じて制御される論理回路部と、

前記論理回路部に電源を供給する第 2 導電型の第 3 のトランジスタと、

前記論理回路部の出力端に接続され、前記論理回路部が非動作時に前記出力端のレベルを設定する第 1 導電型の第 4 のトランジスタとを具備し、

前記論理回路部を構成する第 1、第 2 のトランジスタと、前記第 3 のトランジスタとを異なる電圧で制御することを特徴とする半導体集積回路。

【請求項 3】 前記第 1 乃至第 4 のトランジスタはそれぞれ閾値電圧の絶対値が等しく設定されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】 前記論理回路部の第 1、第 2 のトランジスタの閾値電圧の絶対値は、第 1 の閾値電圧に設定され、前記第 3 のトランジスタは前記第 1 の閾値電圧より絶対値が高い第 2 の閾値電圧に設定され、前記第 4 のトランジスタは前記第 1 の閾値電圧又は前記第 2 の閾値電圧に設定されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 5】 前記第 1、第 2 のトランジスタは、ハイレベルの電圧が第 1 の電圧で、ローレベルの電圧が前記第 1 の電圧より低い第 2 の電圧により制御さ

れ、前記第3のトランジスタは、ハイレベルの電圧が第1の電圧で、ローレベルの電圧が前記第2の電圧より低い第3の電圧により制御されることを特徴とする請求項3又は4記載の半導体集積回路。

【請求項6】 前記第1、第2のトランジスタは、ハイレベルの電圧が前記第1の電圧で、ローレベルの電圧が前記第1の電圧より低い前記第2の電圧により制御され、前記第3のトランジスタは、ハイレベルの電圧が前記第1の電圧より高い前記第4の電圧により制御されることを特徴とする請求項3又は4記載の半導体集積回路。

【請求項7】 前記第3の電圧は、負電圧であることを特徴とする請求項5記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば複数の閾値電圧を有するSMTCMOS (Selective Multi Threshold Complementary Metal-oxide Semiconductor) に関する。

【0002】

【従来の技術】

図7は、従来の2入力NAND回路を示すものである。このNAND回路1は、PチャネルMOSトランジスタ（以下、PMOSトランジスタと称す）P1、P2と、NチャネルMOSトランジスタ（以下、NMOSトランジスタと称す）N1、N2とにより構成されている。PMOSトランジスタP1、P2の閾値電圧は、それぞれ例えば-0.55Vに設定され、NMOSトランジスタN1、N2の閾値電圧は、それぞれ例えば0.55Vに設定されている。第1の電源電圧V_{dd1}は例えば1.2Vであり、第2の電源電圧V_{ss1}は例えば0Vに設定されている。各トランジスタP1、N1、P2、N2のゲートに供給される入力信号A、Bのハイレベルの電圧は例えば1.2Vであり、ローレベルの電圧は0Vに設定されている。

【0003】

一方、図8は、従来のSMTCMOSを適用した2入力NAND回路の一例を

示している。NAND回路11は、PMOSトランジスタP11、P12と、NMOSトランジスタN11、N12とにより構成されている。PMOSトランジスタP11、P12の閾値電圧は、それぞれ例えば -0.35 V に設定され、NMOSトランジスタN11、N12の閾値電圧は、例えば 0.35 V に設定されている。第1の電源電圧 V_{dd1} は例えば 1.2 V であり、第2の電源電圧 V_{ss1} は例えば 0 V に設定されている。

【0004】

前記NMOSトランジスタN12のソースにはNMOSトランジスタN13のドレインが接続されている。このNMOSトランジスタN13のソースには第2の電源電圧 V_{ss1} (0 V) が供給されている。このNMOSトランジスタN13の閾値電圧は例えば 0.55 V に設定されている。このNMOSトランジスタN13は、NAND回路11に電源を供給するか否かを切り換えるトランジスタであり、制御信号SCに応じて、動作時にオンとされ、非動作時（スタンバイ時）にオフとされる。

【0005】

前記PMOSトランジスタP12にはPMOSトランジスタP13が並列接続されている。このPMOSトランジスタP13は、制御信号SCに応じて、非動作時にオンとされ、NAND回路11の出力端OUTの電圧を入力信号に関係なくハイレベルに設定する。このPMOSトランジスタP13の閾値電圧は、例えば -0.55 V 又は -0.35 V に設定されている。NAND回路11を構成するトランジスタP11、N11、P12、N12の各ゲートに供給される入力信号A、B、及びトランジスタN13、P13のゲートに供給される制御信号SCのハイレベルの電圧は例えば 1.2 V であり、ローレベルの電圧は 0 V に設定されている。

【0006】

ところで、この種の論理回路は、動作時におけるスピードの仕様に依拠してトータルのオン抵抗の仕様が定められている。図7に示すNAND回路1、及び図8に示すNAND回路11の場合、仕様上のオン抵抗は、例えば $1.2\text{ k}\Omega$ に定められている。この種のNAND回路のオン抵抗はNMOSトランジスタによって

規定される。このため、図7に示すNAND回路1の場合、NMOSトランジスタN1、N2のオン抵抗は、第1の電源電圧V_{dd1}が1.2Vにおいて、それぞれほぼ600Ωに設定されている。このため、トータルのオン抵抗は1.2kΩであり、仕様を満たしている。

【0007】

また、図8に示すNAND回路11の場合、NMOSトランジスタN11、N12のオン抵抗は、第1の電源電圧V_{dd1}が1.2Vにおいて、ほぼ100Ωに設定されている。また、NMOSトランジスタN13のオン抵抗はほぼ600Ωに設定されている。このため、トータルのオン抵抗は、800Ωであり、1.2kΩの仕様を満たしている。このように各トランジスタのオン抵抗を設定することにより、所定の仕様を満たすことができる。

【0008】

【発明が解決しようとする課題】

しかしながら、近時、携帯電話等に適用される半導体集積回路は、低消費電力化($f \cdot C \cdot V^2$ (f:周波数、C:寄生容量、V:電源電圧))が要求され、電源電圧を一層低電圧化することが望まれている。例えば第1の電源電圧V_{dd1}を1.2Vから1.0Vに低下させ、入力信号のハイレベルを同様に1.2Vから1.0Vに低下させることが考えられている。図7に示す回路は、非動作時にオフリークを小さくする必要があり、各トランジスタの閾値電圧が高く設定されている。ここで、閾値電圧を変えずに電源電圧及び信号電圧を上記のように低電圧化した場合、NMOSトランジスタN1、N2のオン抵抗は、それぞれ600Ωから1.2kΩとなり、トータルのオン抵抗は、1.2kΩから2.4kΩとなる。したがって、オン抵抗の仕様を満たすことが困難となる。しかも、トータルのオン抵抗が増大すると高速動作が困難となる。これを回避するため、閾値電圧を低下させてトータルのオン抵抗を低下させることが考えられる。しかし、この場合、リーク電流が増大するため、閾値電圧を低下させることは得策ではない。このため、図7に示す回路は、低電圧化に対応することは困難である。

【0009】

一方、図8に示す回路において、NAND回路11を構成する各トランジスタ

は閾値電圧が低く設定されている。このため、電源電圧及び信号電圧を上記のように 1.2 V から 1.0 V に低電圧化した場合、NMOS トランジスタ N1、N2 にオン抵抗は、それぞれ例えばほぼ 200 Ω となる。この程度のオン抵抗であれば、高速動作にそれ程影響を与えない。しかし、電源供給用の NMOS トランジスタ N13 の閾値電圧は NAND 回路 11 を構成するトランジスタの閾値電圧より高く設定されている。このため、電源電圧及び信号電圧を 1.0 V に低下させた場合、NMOS トランジスタ N13 のオン抵抗が 1.2 k Ω となる。したがって、トータルのオン抵抗が 1.6 k Ω となり、1.2 k Ω の仕様を満たすことが困難となる。しかも、トータルのオン抵抗が増大するため回路の高速動作が困難となる。

【0010】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、論理回路部を低電圧化でき、且つ高速動作が可能な半導体集積回路を提供しようとするものである。

【0011】

【課題を解決するための手段】

本発明の半導体集積回路は、上記課題を解決するため、複数の第 1 導電型の第 1 のトランジスタ及び複数の第 2 導電型の第 2 のトランジスタにより構成され、入力信号に応じて制御される論理回路部と、前記論理回路部に電源を供給する第 1 導電型の第 3 のトランジスタと、前記論理回路部の出力端に接続され、前記論理回路部が非動作時に前記出力端のレベルを設定する第 2 導電型の第 4 のトランジスタとを具備し、前記論理回路部を構成する第 1、第 2 のトランジスタと、前記第 3 のトランジスタとを異なる電圧で制御することを特徴とする。

【0012】

また、本発明の半導体集積回路は、複数の第 1 導電型の第 1 のトランジスタ及び複数の第 2 導電型の第 2 のトランジスタにより構成され、入力信号に応じて制御される論理回路部と、前記論理回路部に電源を供給する第 2 導電型の第 3 のトランジスタと、前記論理回路部の出力端に接続され、前記論理回路部が非動作時に前記出力端のレベルを設定する第 1 導電型の第 4 のトランジスタとを具備し、

前記論理回路部を構成する第1、第2のトランジスタと、前記第3のトランジスタとを異なる電圧で制御することを特徴とする。

【0013】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

【0014】

(第1の実施形態)

図1は、本発明の第1の実施形態を示すものであり、論理回路としてSMTCMOSを用いた2入力のNAND回路を示している。図1において、NAND回路11は、PMOSTランジスタP11、P12、及びNMOSTランジスタN11、N12により構成されている。PMOSTランジスタP11、P12の閾値電圧は、それぞれ例えば-0.35Vに設定され、NMOSTランジスタN11、N12の閾値電圧は、それぞれ例えば0.35Vに設定されている。すなわち、PMOSTランジスタP11、P12、及びNMOSTランジスタN11、N12は、絶対値が等しい閾値電圧に設定されている。前記PMOSTランジスタP11、P12のソースには、第1の電源電圧Vdd1が供給されている。この第1の電源電圧Vdd1は、例えば1.0Vである。これらPMOSTランジスタP11、P12のドレインはNMOSTランジスタN11のドレインに接続されている。このNMOSTランジスタN11のソースは、NMOSTランジスタN12のドレインに接続されている。これらトランジスタP11、N11、P12、N12のゲートに供給される入力信号A、Bのハイレベルの電圧は例えば1.0Vであり、ローレベルの電圧は例えば0Vである。

【0015】

前記NMOSTランジスタN12のソースと第2の電源電圧Vss1（例えば0V）の相互間には、NAND回路11に対する電源供給用のNMOSTランジスタN13が接続されている。このトランジスタN13の閾値電圧は、例えば0.35Vに設定されている。このトランジスタN13のゲートには、第1の制御信号SC1が供給される。この第1の制御信号SC1はローレベルの電圧が例えば-0.2Vであり、ハイレベルの電圧が例えば1.0V/1.2Vに設定され

ている。このトランジスタ N13 は、第 1 の制御信号 SC1 に応じて NAND 回路 11 に対する電源の供給を制御する。

【0016】

第 1 の制御信号 SC1 は、第 1 の制御回路 CNT1 により生成される。この第 1 の制御回路 CNT1 は例えば CMOS インバータ回路により構成されている。CMOS インバータ回路を構成する PMOS トランジスタ P14 と NMOS トランジスタ N14 は、第 1 の電源電圧 Vdd1 (後述する電源電圧 Vdd2 でも可能) が供給されるノードと、第 3 の電源電圧 Vss2 が供給されるノードの相互間に直列接続されている。第 3 の電源電圧 Vss2 は、例えば -0.2 V に設定されている。前記トランジスタ P14、N14 のゲートには制御信号 C が供給されている。この制御信号のハイレベルの電圧は例えば 1.0 V、ローレベルの電圧は例えば 0 V に設定されている。

【0017】

NAND 回路 11 の出力端 OUT と第 1 の電源電圧 Vdd1 が供給されるノードとの間には、出力レベル設定用の PMOS トランジスタ P13 が接続されている。このトランジスタ P13 の閾値電圧は、例えば -0.35 V に設定されている。このトランジスタ P13 のゲートには、第 2 の制御信号 SC2 が供給される。この第 2 の制御信号 SC2 はローレベルの電圧が例えば 0 V であり、ハイレベルの電圧が例えば 1.2 V に設定されている。前記トランジスタ P13 は、第 2 の制御信号 SC2 に応じて、NAND 回路 11 が非動作時において、出力端 OUT を第 1 の電源電圧 Vdd1 に保持する。

【0018】

前記第 2 の制御信号 SC2 は、第 2 の制御回路 CNT2 により生成される。この第 2 の制御回路 CNT2 は例えば CMOS インバータ回路により構成されている。CMOS インバータ回路を構成する PMOS トランジスタ P15 と NMOS トランジスタ N15 は、第 4 の電源電圧 Vdd2 が供給されるノードと、第 2 の電源電圧 Vss1 が供給されるノードの相互間に直列接続されている。第 4 の電源電圧 Vdd2 は、例えば 1.2 V に設定されている。前記トランジスタ P15、N15 のゲートには、前記制御信号 C が供給されている。第 2 の制御信号 SC

2は0～1.2Vに限定されるものではなく、0～1.0V、-0.2V～1.0V、-0.2V～1.2Vとすることも可能である。この場合、V_{dd2}はV_{dd1}と同様に1.0Vとすればよい。

【0019】

前記第1、第2の制御回路CNT1、CNT2を構成するNMOSトランジスタN14、N15の閾値電圧は、例えば0.35Vに設定され、PMOSトランジスタP14、P15の閾値電圧は、例えば-0.35Vに設定されている。しかし、これらNMOSトランジスタN14、N15、PMOSトランジスタP14、P15の閾値電圧は、0.35V、-0.35Vに限定されるものではない。

【0020】

上記第1の実施形態によれば、NAND回路11を構成するトランジスタP11、P12、N11、N12、電源供給用のトランジスタN13、及び出力レベル設定用のPMOSトランジスタP13の閾値電圧を|0.35V|（| |は絶対値を示す）に設定し、NAND回路11を構成するトランジスタP11、P12、N11、N12を制御する電圧と、電源供給用のトランジスタN13、及び非動作時出力レベル設定用のトランジスタP13を制御する電圧とを異なる電圧としている。このため、第1の電源電圧V_{dd1}を従来の1.2Vから1.0Vに低下させた場合においても、NMOSトランジスタのトータルのオン抵抗を仕様で定められた値よりも低く抑えることが可能であるため、高速動作が可能である。すなわち、電源電圧が1.0VにおけるトランジスタN11、N12、N13のオン抵抗は、それぞれほぼ200Ω、200Ω、600Ωであり、トータルのオン抵抗は、ほぼ1KΩである。したがって、オン抵抗を仕様で定められた1.2kΩよりも低く抑えることができる。

【0021】

また、回路の動作時消費電力は電源電圧の二乗に比例する（ $P = f \cdot C \cdot V^2$ （P：消費電力、f：周波数、C：寄生容量、V：電源電圧）。図1に示す回路は、低い電源電圧（V_{dd1}）により制御することができるため、消費電力を低減することができる。

【0022】

さらに、非動作時電源供給用のトランジスタN13のゲートに供給される第1の制御信号SC1のローレベルの電圧を -0.2V に設定する。このため、閾値電圧の低いトランジスタN13を確実にオフ状態とすることができ、リーク電流を抑制することができる。したがって、図1に示す回路は、オフリーク電流を削減できるため、携帯機器等に適用すると有利である。

【0023】

しかも、NAND回路11を構成するNMOSTランジスタN11、N12と、電源供給用のNMOSTランジスタN13の閾値電圧を揃えている。このため、NAND回路11を構成するNMOSTランジスタN11、N12と、NMOSTランジスタN13に対して1つのマスクを用いて不純物を注入できる。仮に、NMOSTランジスタN11、N12と、NMOSTランジスタN13の閾値電圧が異なる場合、NMOSTランジスタN11、N12に対する不純物の注入と、NMOSTランジスタN13に対する不純物の注入を2つのマスクを用いて行う必要がある。この場合、2つのマスクの合わせマージンを確保するため、トランジスタ12とトランジスタ13との相互間隔を広くする必要が生じる。すなわち、NMOSTランジスタN11、N12と、NMOSTランジスタN13の閾値電圧が異なる場合、2つのマスクの合わせマージン分だけレイアウトの占有面積が増大するとともに、製造工程が増加する。

【0024】

これに対して、第1の実施形態のように、NMOSTランジスタN11、N12と、NMOSTランジスタN13の閾値電圧を揃えた場合、NMOSTランジスタN11、N12に対する不純物の注入と、NMOSTランジスタN13に対する不純物の注入を1つのマスクを用いて同時に行うことができる。したがって、回路の占有面積の増大を抑えることが可能であるとともに、製造工程の増加を防止することができる。

【0025】

(第2の実施形態)

図2は、本発明の第2の実施形態を示すものであり、論理回路としてSMTC

MOSを用いたNOR回路の例を示している。NOR回路21は、PMOSトランジスタP21、P22、NMOSトランジスタN21、N22により構成されている。PMOSトランジスタP21、P22の閾値電圧は、例えば -0.35 V に設定され、NMOSトランジスタN21、N22の閾値電圧は、例えば 0.35 V に設定されている。PMOSトランジスタP21、P22は直列接続され、PMOSトランジスタP22のドレインはNMOSトランジスタN21、N22のドレインに接続されている。NMOSトランジスタN21、N22のソースは第2の電源電圧 V_{ss1} (0 V) が供給されるノードに接続されている。トランジスタP21、N22、P22、N21のゲートに供給される入力信号A、Bは、ローレベルの電圧が例えば 0 V であり、ハイレベルの電圧が例えば 1.0 V に設定されている。

【0026】

NOR回路21の出力端OUTと第2の電源電圧 V_{ss1} が供給されるノードとの間には非動作時出力レベル設定用のNMOSトランジスタN23が接続されている。このトランジスタN23の閾値電圧は、例えば 0.35 V に設定されている。このトランジスタN23のゲートには、第1の制御信号SC1が供給される。この第1の制御信号SC1はローレベルの電圧が例えば -0.2 V (0 V でも可能)であり、ハイレベルの電圧が例えば 1.0 V (1.2 V でも可能)に設定されている。前記トランジスタN23は、第1の制御信号SC1に応じて、NOR回路21が非動作時において、出力端OUTを第2の電源電圧 V_{ss1} に保持する。

【0027】

前記第1の制御信号SC1は、第1の制御回路CNT1により生成される。この第1の制御回路CNT1は例えばCMOSインバータ回路により構成されている。CMOSインバータ回路を構成するPMOSトランジスタP24とNMOSトランジスタN24は、第1の電源電圧 V_{dd1} (V_{dd2} でも可能)が供給されるノードと、第3の電源電圧 V_{ss2} (V_{ss1} でも可能)が供給されるノードの相互間に直列接続されている。第3の電源電圧 V_{ss2} は、例えば -0.2 V に設定されている。前記トランジスタP24、N24のゲートには、前記制御

信号Cが供給されている。前記第1の制御信号SC1は -0.2 V から 1 V に限定されるものではなく $-0.2\text{ V}/0\text{ V}$ 、 $1\text{ V}/1.2\text{ V}$ でも可能である。

【0028】

前記PMOSトランジスタP21のソースと第1の電源電圧Vdd1 (1.0 V) が供給されるノードとの相互間には、電源供給用のPMOSトランジスタP23が接続されている。このトランジスタの閾値電圧は、例えば -0.35 V に設定されている。このトランジスタP23のゲートには、第2の制御信号SC2が供給されている。この第2の制御信号SC2はローレベルの電圧が例えば 0 V (-0.2 V でも可能) であり、ハイレベルの電圧がVdd1より高い例えば 1.2 V に設定されている。トランジスタP23は、第2の制御信号SC2に応じて、NOR回路21に対する電源の供給を制御する。

【0029】

前記第2の制御信号SC2は、第2の制御回路CNT2により生成される。この第2の制御回路CNT2は例えばCMOSインバータ回路により構成されている。CMOSインバータ回路を構成するPMOSトランジスタP25とNMOSトランジスタN25は、第4の電源電圧Vdd2が供給されるノードと、第2の電源電圧Vss1 (Vss2でも可能) が供給されるノードの相互間に直列接続されている。第4の電源電圧Vdd2は、例えば 1.2 V に設定されている。前記トランジスタP25、N25のゲートには制御信号Cが供給されている。第2の制御信号SC2は $0\sim 1.2\text{ V}$ に限定されるものではなく、 $-0.2\text{ V}\sim 1.2\text{ V}$ とすることも可能である。

【0030】

前記第1、第2の制御回路CNT1、CNT2を構成するNMOSトランジスタN24、N25の閾値電圧は、例えば 0.35 V に設定され、PMOSトランジスタP24、P25の閾値電圧は、例えば -0.35 V に設定されている。しかし、これらNMOSトランジスタN24、N25、PMOSトランジスタP24、P25の閾値電圧は、 0.35 V 、 -0.35 V に限定されるものではない。

【0031】

上記第2の実施形態によれば、NOR回路21を構成するトランジスタP21、P22、N21、N22、電源供給用のトランジスタP23、及び出力レベル設定用のN23の閾値電圧を $|0.35V|$ に設定し、NOR回路21を構成する複数のトランジスタと、出力レベル設定用のトランジスタN23及び電源供給用のトランジスタP23を異なる電圧で制御している。このため、第1の電源電圧 V_{dd1} を従来の $1.2V$ から $1.0V$ に低下させた場合においても、NMOSトランジスタのトータルのオン抵抗を規定値よりも低く抑えることが可能であるため、高速動作が可能である。

【0032】

さらに、トランジスタN23のゲートに供給される第1の制御信号SC1のローレベルの電圧を $-0.2V$ に設定し、トランジスタP23のゲートに供給される第2の制御信号SC2のハイレベルの電圧を $1.2V$ に設定している。このため、閾値電圧の低いトランジスタN23、P23を確実にオフ状態とすることができ、リーク電流を抑制することができる。

【0033】

しかも、NOR回路21を構成するNMOSトランジスタN21、N22と、出力レベル設定用のNMOSトランジスタN23の閾値電圧を揃えている。このため、NOR回路21を構成するNMOSトランジスタN21、N22と、NMOSトランジスタN23に対する不純物の注入を1つのマスクを用いて同時に行うことができる。したがって、レイアウトの占有面積の増大、及び製造工程の増加を防止できる。

【0034】

(第3の実施形態)

図3は、本発明の第3の実施形態を示しており、第1の実施形態と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0035】

第1の実施形態において、NAND回路11を構成するトランジスタP11、P12、N11、N12、電源供給用のトランジスタN13、出力レベル設定用のトランジスタP13の閾値電圧を全て $|0.35V|$ に設定した。これに対し

て、第3の実施形態においては、NAND回路11を構成するトランジスタP11、P12、N11、N12の閾値電圧を $|0.35\text{V}|$ に設定し、電源供給用のトランジスタN33の閾値電圧を例えば 0.55V に設定している。さらに、出力レベル設定用のトランジスタP33の閾値電圧を例えば -0.55V 又は -0.35V に設定している。

【0036】

トランジスタN33のゲート、及びトランジスタP33のゲートに供給される制御信号SCは、ローレベルの電圧が例えば 0V に設定される。また、ハイレベルの電圧は、NMOSTランジスタN33、及びPMOSTランジスタP33の閾値電圧が $|0.55\text{V}|$ の場合、例えば 1.2V に設定され、閾値電圧が 0.35V の場合 1.0V 又は 1.2V に設定される。

【0037】

図4は、前記制御信号SCを生成する制御回路の一例を示すものであり、図3と同一部分には同一符号を付す。

【0038】

制御回路CNTは、CMOSインバータ回路により構成されている。すなわち、CMOSインバータ回路を構成するPMOSTランジスタP41とNMOSTランジスタN41は、第1の電源電圧Vdd1又は第4の電源電圧Vdd2が供給されるノードと、第2の電源電圧Vss1 (Vss2) が供給されるノードの相互間に直列接続されている。制御信号SCのハイレベルの電圧は、NMOSTランジスタN33、及びPMOSTランジスタP33の閾値電圧が $|0.55\text{V}|$ の場合、第1の電源電圧Vdd1又は第4の電源電圧Vdd2、例えば 1.0V 又は 1.2V に設定され、閾値電圧が $|0.35\text{V}|$ の場合、第4の電源電圧Vdd2 (1.2V) に設定される。前記トランジスタP41、N41のゲートには、前記制御信号Cが供給されている。

【0039】

上記第3の実施形態によれば、NAND回路11を構成するトランジスタP11、P12、N11、N12の閾値電圧を $|0.35\text{V}|$ に設定して、第1の電源電圧Vdd1 (1.0V) により制御し、電源供給用のトランジスタN33は

、閾値電圧を 0.55 V に設定し、第 1 の電源電圧 V_{dd1} より高い電圧により制御している。このため、トータルのオン抵抗の増加を防止することができ、高速動作が可能である。すなわち、電源電圧が 1.0 V におけるトランジスタ N11、N12 のオン抵抗は、それぞれほぼ 200 Ω であり、電源電圧が 1.2 V におけるトランジスタ N33 のオン抵抗はほぼ 600 Ω である。したがって、トータルのオン抵抗は、1 k Ω であり、オン抵抗を仕様で定められた値よりも低く抑えることができる。

【0040】

また、NAND 回路 11 の電源電圧を低くすることができるため、消費電力を低減することが可能である。

【0041】

さらに、NMOS トランジスタ N33、PMOS トランジスタ P33 を同一の制御信号 SC により制御できるため、制御信号を生成するための制御回路 CNT の構成を簡単化できる利点を有している。

【0042】

(第 4 の実施形態)

図 5 は、本発明の第 4 の実施形態を示すものであり、SMT CMOS を用いた NOR 回路を示している。図 5 において、図 2 と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0043】

図 5 において、NOR 回路 21 を構成する複数のトランジスタの閾値電圧は、例えば |0.35 V| に設定されている。電源供給用の PMOS トランジスタ P51 の閾値電圧は、例えば -0.55 V に設定されている。このトランジスタのゲートには制御信号 SC が供給される。この制御信号 SC は、ローレベルの電圧が例えば -0.2 V に設定され、ハイレベルの電圧が例えば 1.0 V (1.2 V でも可能) に設定されている。また、出力レベル設定用の NMOS トランジスタ N51 の閾値電圧は、例えば 0.55 V 又は 0.35 V に設定されている。このトランジスタ N51 のゲートには前記制御信号 SC が供給される。

【0044】

図6は、前記制御信号SCを生成する制御回路の一例を示している。この制御回路CNTは、直列接続された第1、第2のCMOSインバータ回路により構成されている。第1のCMOSインバータ回路は、PMOSトランジスタP61、NMOSトランジスタN61により構成されている。これらトランジスタP61、N61は、第1の電源電圧Vdd1 (1.0V) (Vdd2=1.2Vでも可能) が供給されるノードと、第3の電源電圧Vss2 (-0.2V) が供給されるノードの相互間に直列接続されている。これらトランジスタP61、N61のゲートには制御信号Cが供給される。

【0045】

第2のCMOSインバータ回路は、PMOSトランジスタP62、NMOSトランジスタN62により構成されている。これらトランジスタP62、N62は、第1の電源電圧Vdd1 (1.0V) が供給されるノードと、第3の電源電圧Vss2 (-0.2V) が供給されるノードの相互間に直列接続されている。これらトランジスタのゲートは、前記トランジスタP61、N61の接続ノードに接続されている。また、トランジスタP62、N62の接続ノードは、前記トランジスタP51、N51のゲートに接続されている。

【0046】

上記第4の実施形態によれば、NOR回路21を構成するトランジスタP21、P22、N21、N22の閾値電圧を $|0.35V|$ に設定して、第1の電源電圧Vdd1 (1.0V) により制御し、電源供給用のトランジスタP51は、閾値電圧を $-0.55V$ に設定し、第1の電源電圧Vdd1と負電圧 $-0.2V$ により制御している。このため、トータルのオン抵抗の増加を防止することができ、高速動作が可能である。ちなみに、電圧が $-0.2V$ におけるトランジスタP51のオン抵抗はほぼ 600Ω である。したがって、トータルのオン抵抗は、ほぼ $1k\Omega$ であり、オン抵抗を仕様で定められた値よりも低く抑えることができる。

【0047】

また、NOR回路21の電源電圧を低くすることができるため、消費電力を低減することが可能である。

【0048】

さらに、PMOSトランジスタP51、NMOSトランジスタN51を同一の制御信号SCにより制御できるため、制御信号を生成するための制御回路CNTの構成を簡単化できる利点を有している。

【0049】

尚、上記第1乃至第4の電源電圧、及びトランジスタの閾値電圧は、各実施形態に記載した値に限定されるものではなく、変形実施可能である。

【0050】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0051】

【発明の効果】

以上、詳述したように本発明によれば、論理回路部を低電圧化でき、且つ高速動作が可能な半導体集積回路を提供できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す回路図。

【図2】

本発明の第2の実施形態を示す回路図。

【図3】

本発明の第3の実施形態を示す回路図。

【図4】

本発明の第3の実施形態を示すものであり、制御回路を含む例を示す回路図。

【図5】

本発明の第4の実施形態を示す回路図。

【図6】

本発明の第4の実施形態を示すものであり、制御回路を含む例を示す回路図。

【図7】

従来の2入力NAND回路の一例を示す回路図。

【図 8】

SMTCMOS を適用した従来の 2 入力 NAND 回路の一例を示す回路図。

【符号の説明】

11…NAND 回路、

N13、N33…電源供給用の NMOS トランジスタ、

P13、P33…出力レベル設定用の PMOS トランジスタ、

Vdd1…第 1 の電源電圧、

Vss1…第 2 の電源電圧、

Vss2…第 3 の電源電圧、

Vdd2…第 4 の電源電圧、

21…NOR 回路、

P23、P51…電源供給用の PMOS トランジスタ、

N23、N51…出力レベル設定用の PMOS トランジスタ、

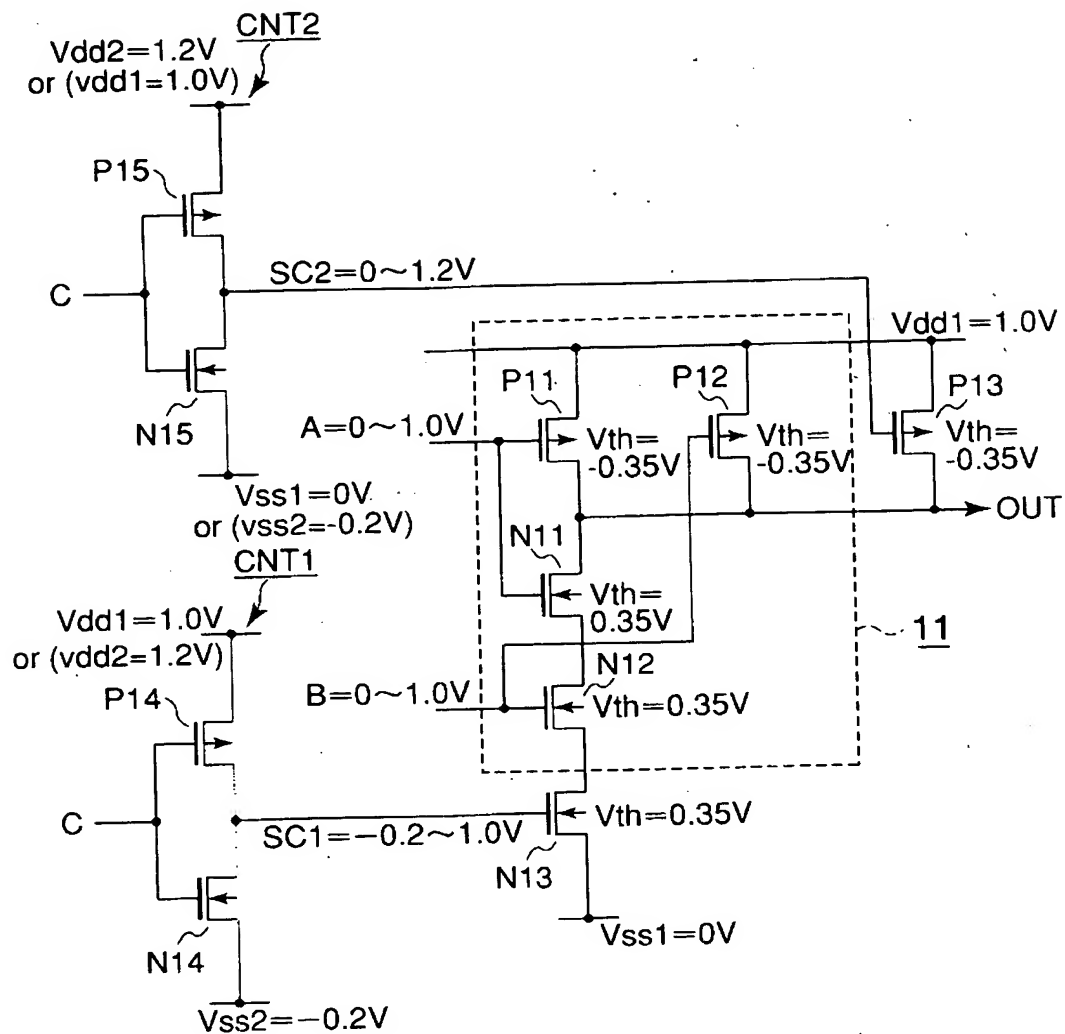
CNT1、CNT2…第 1、第 2 の制御回路、

CNT…制御回路。

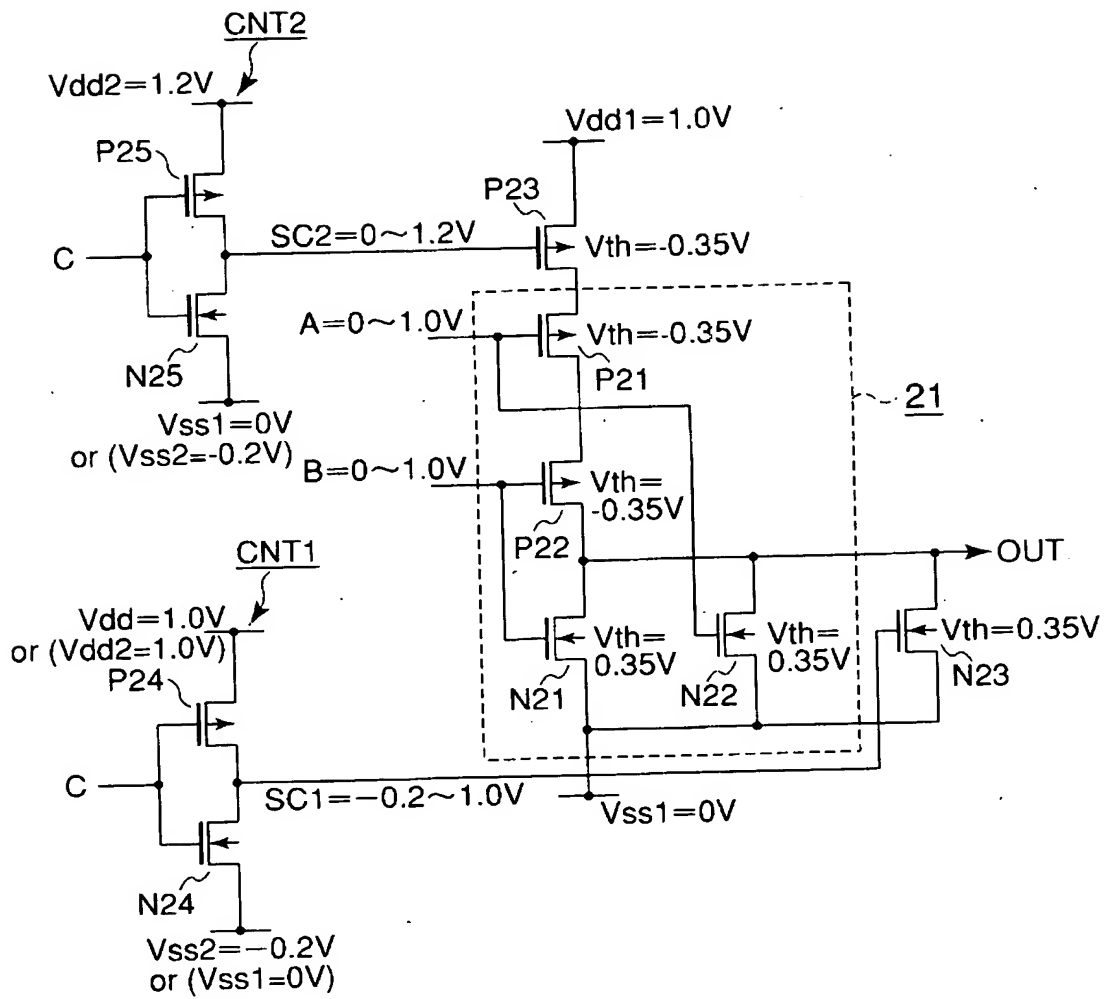
【書類名】

図面

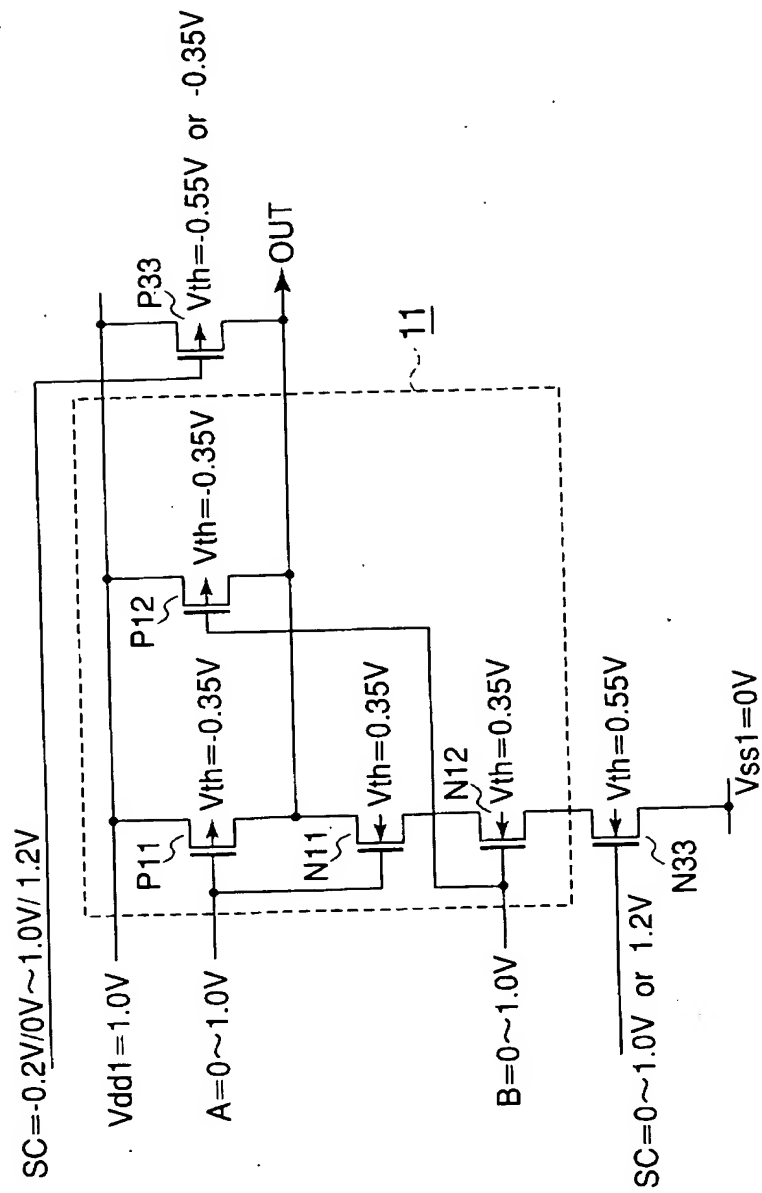
【図 1】



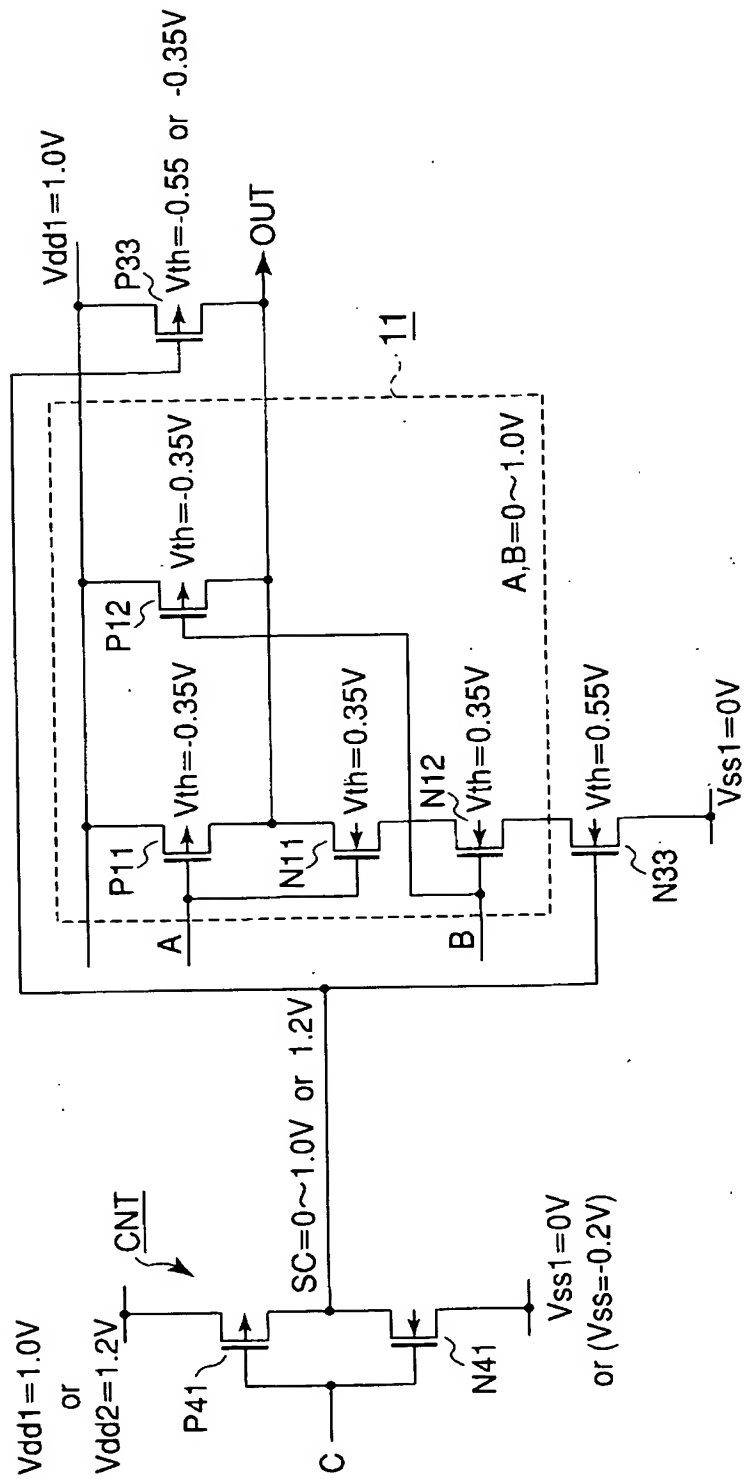
【図 2】



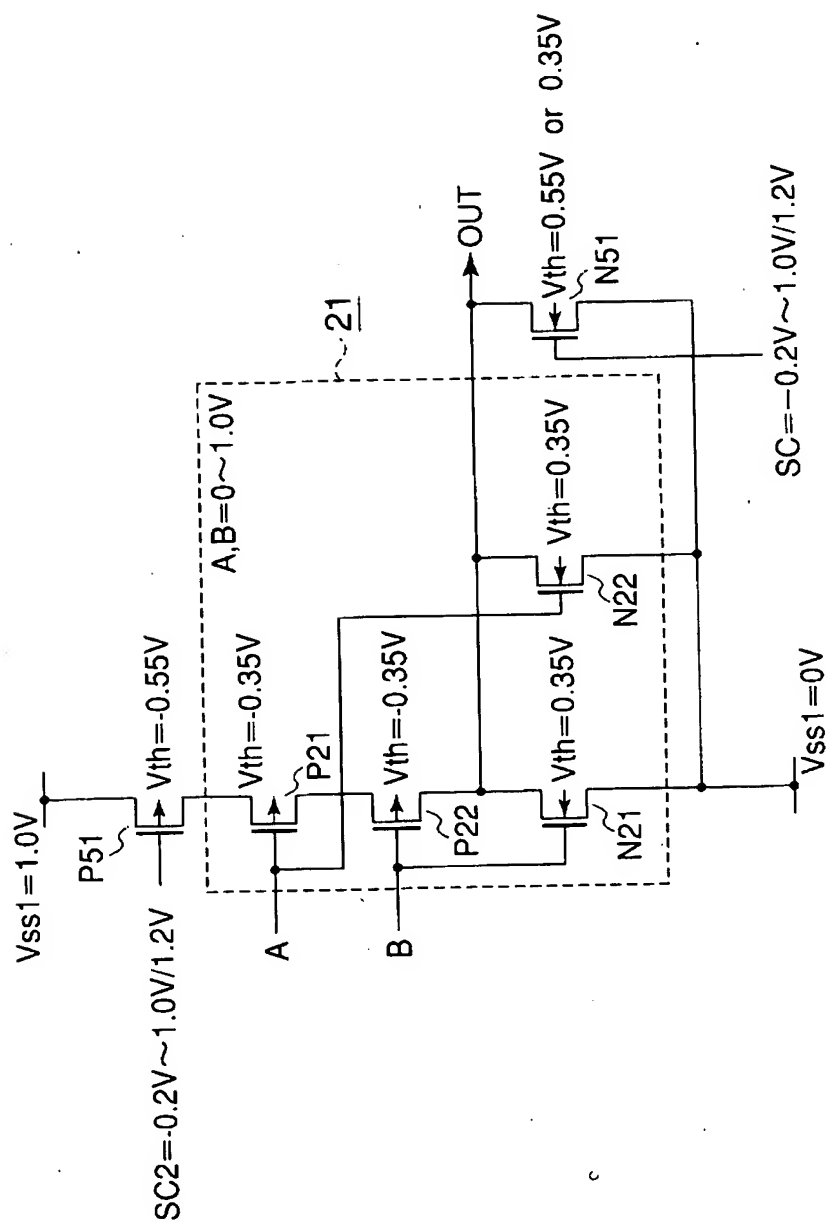
【図 3】



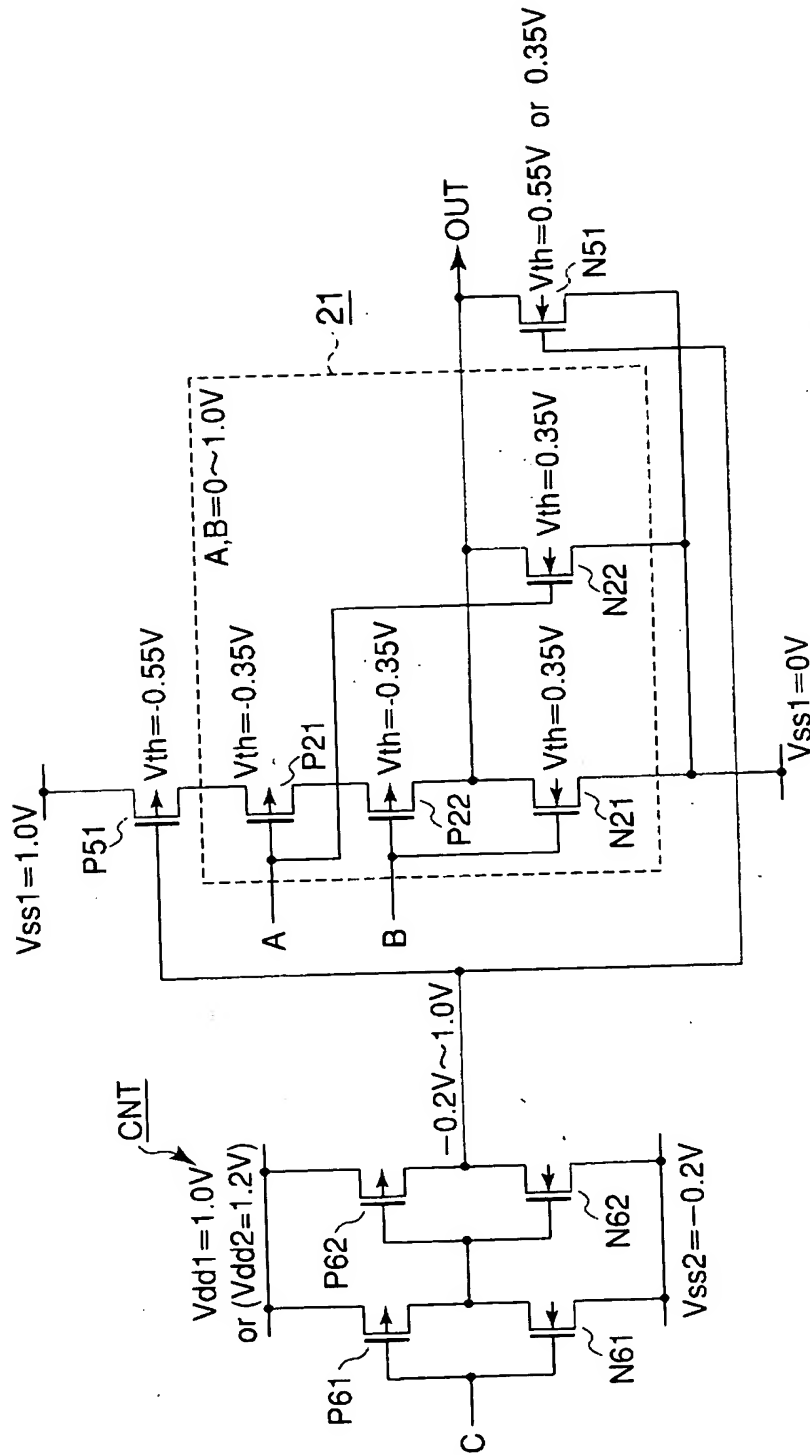
【図 4】



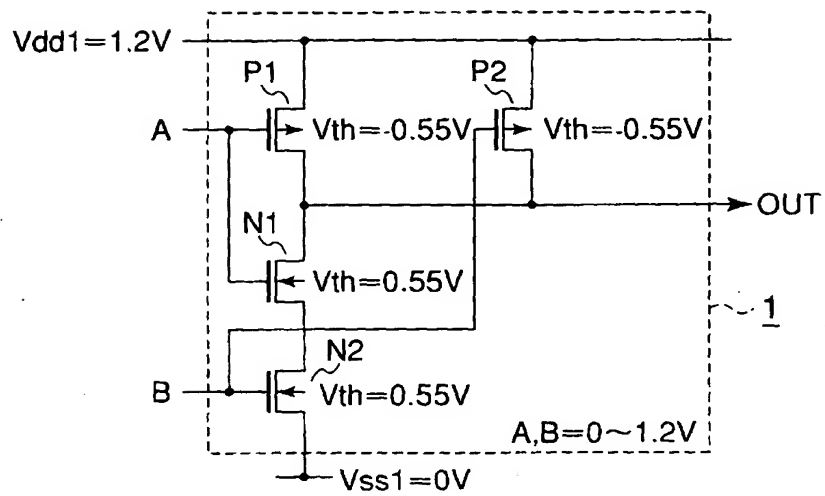
【図 5】



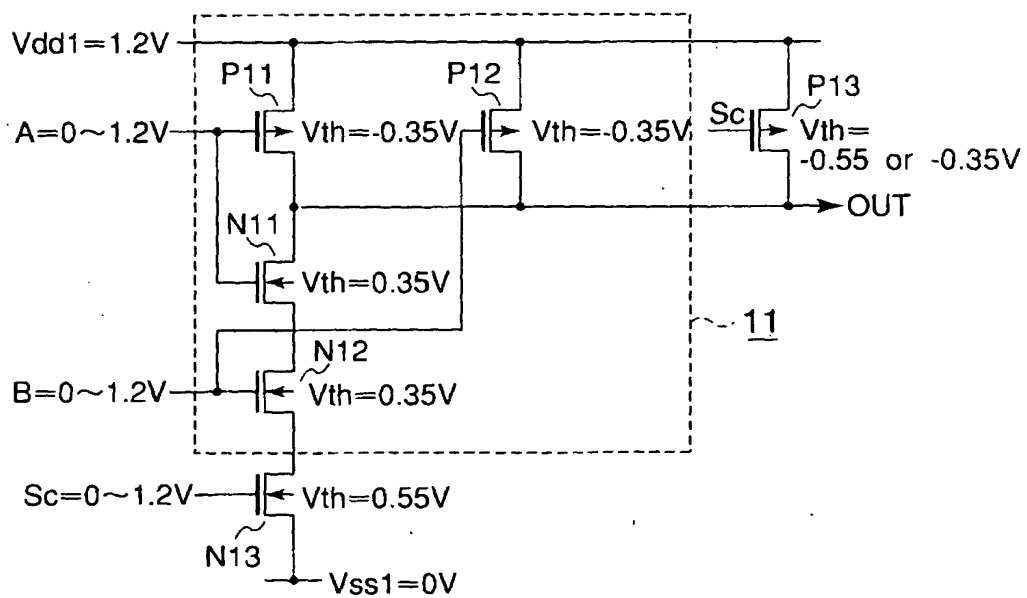
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 論理回路部の低電圧化し、且つ高速動作を可能とすることが困難であった。

【解決手段】 NAND回路11を構成する複数のトランジスタ、NAND回路11に電源を供給する電源供給用のトランジスタN13、及びNAND回路11の出力端のレベルを設定する出力レベル設定用のトランジスタP13の閾値電圧は、いずれも $|0.35V|$ に設定されている。NAND回路11を制御する入力信号の電圧と、電源供給用のトランジスタN13、及び出力レベル設定用のトランジスタP13は異なる電圧により制御される。

【選択図】 図1

特願 2002-281203

出願人履歴情報

識別番号

[000003078]

- | | |
|----------|----------------|
| 1. 変更年月日 | 2001年 7月 2日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目1番1号 |
| 氏 名 | 株式会社東芝 |
| | |
| 2. 変更年月日 | 2003年 5月 9日 |
| [変更理由] | 名称変更 |
| | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目1番1号 |
| 氏 名 | 株式会社東芝 |